

Family list

2 family member for: **JP4263453**

Derived from 1 application

1 SUBSTRATE TREATING DEVICE

Inventor: YAMAZAKI SHUNPEI; HAMAYA TOSHIJI **Applicant:** SEMICONDUCTOR ENERGY LAB

EC: **IPC:** H01L21/205; H01L21/285; H01L21/31 (+

Publication info: JP3025811B2 B2 - 2000-03-27

JP4263453 A - 1992-09-18

Data supplied from the *esp@cenet* database - Worldwide

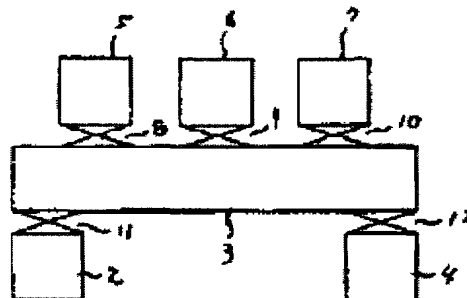
SUBSTRATE TREATING DEVICE

Patent number: JP4263453
Publication date: 1992-09-18
Inventor: YAMAZAKI SHUNPEI; HAMAYA TOSHIJI
Applicant: SEMICONDUCTOR ENERGY LAB
Classification:
- international: *H01L21/205; H01L21/285; H01L21/31; H01L21/677; H01L21/68; H01L21/02; H01L21/67; (IPC1-7): H01L21/205; H01L21/285; H01L21/31; H01L21/68*
- european:
Application number: JP19910060937 19910218
Priority number(s): JP19910060937 19910218

Report a data error here

Abstract of JP4263453

PURPOSE:To make it possible to carry out efficiently a substrate treatment to need a plurality of substrate treatment processes by a method wherein a substrate treater is constituted in such a way that the treatment of substrates up to spare chambers is carried out in a single wafer processing and the substrates in the course of the substrate treatment subsequent to the single wafer processing can be treated in a batch processing and the like. **CONSTITUTION:**A substrate treater, in which a plurality of substrates to be treated are arranged in three dimensions in each film formation space in reaction chambers 5 to 7 and a substrate treatment is carried out, is constituted by a method wherein a plurality of chambers 5 and 7 are juxtaposed to one another or are arranged on a straight line and at the same time, the chambers 5 to 7 are coupled with a hermetically sealed chamber 3 via partition means 8 to 10 corresponding to the respective chambers 5 to 7 and at least one of space chambers 2 and 4 is coupled with the chamber 3. Moreover, the treater is constituted in such a way that the treatment of the substrates to be treated up to the chambers 2 and 4 is carried out in a single wafer processing and in the chambers 2 and 4, the substrates to be treated are set on each support for arranging spatially the substrates in the chambers 5 to 7 and the substrates in the course of the substrate treatment subsequent to the single wafer processing can be treated in a batch processing.



Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-263453

(43) 公開日 平成4年(1992)9月18日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/68	A	8418-4M		
21/205		7739-4M		
21/285	C	7738-4M		
21/31	C	8518-4M		

審査請求 未請求 請求項の数4(全4頁)

(21) 出願番号 特願平3-60937

(22) 出願日 平成3年(1991)2月18日

(71) 出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 浜谷 敏次

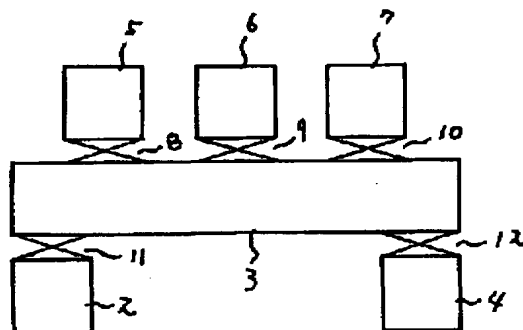
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54) 【発明の名称】 基板処理装置

(57) 【要約】 (修正有)

【構成】 陽光柱型のプラズマCVD装置のように反応室内の一対の電極により形成される放電空間中に複数の被処理基板を配置して、被膜形成を行うCVD装置であって、反応室内で基板を前述のような位置に配置する為の支持体に被処理基板をロードする為の予備室までの基板の扱いを枚葉式とし、それ以後の基板の扱いをパッチ式として基板処理を行い、その後基板を装置外に取り出す際には次工程の基板の取扱に合わせて、カセット式あるいは枚葉式またはこのCVD装置の基板支持体で行うことが可能な構成を有している。

【効果】 処理工程時間にばらつきがあった場合、もっとも長い処理工程で制限されていた1枚当りの基板の処理時間を短縮することができる。



【特許請求の範囲】

【請求項1】 反応室内の被膜形成空間内に複数の被処理基板を立体的に配置して基板処理を行う基板処理装置であって、前記反応室の複数個を並置または直線上に配置するとともに各反応室をそれぞれ対応する仕切り手段により気密室と連結し、前記気密室に少なくとも一つの予備室を連結して構成し、前記予備室までの被処理基板の取扱を枚葉式とし、前記予備室において、被処理基板を前記反応室で空間的に配置する為の支持体にセットし以後の基板処理中は被処理基板をバッチ方式として取扱可能に構成したことを特徴とする基板処理装置。

【請求項2】 反応室内の一对の放電電極により形成される放電空間内に複数の被処理基板を立体的に配置し被膜形成を行うプラズマCVD装置であって、前記反応室の複数個を並置または直線上に配置するとともに各反応室をそれぞれ対応する仕切り手段により気密室と連結し、前記気密室に少なくとも一つの予備室を連結して構成し、前記予備室までの被処理基板の取扱を枚葉式とし、前記予備室において、被処理基板を前記反応室で空間的に配置する為の支持体にセットし以後の被膜形成処理中は被処理基板をバッチ方式として取扱可能に構成したことを特徴とする基板処理装置。

【請求項3】 反応室内の被膜形成空間内に複数の被処理基板を立体的に配置して基板処理を行う基板処理装置であって、前記反応室の複数個を並置または直線上に配置するとともに各反応室をそれぞれ対応する仕切り手段により気密室と連結し、前記気密室に少なくとも一つの予備室を連結して構成し、前記気密室内での基板支持体の搬送を移動させる移動路を複数設け、基板支持体の順序を任意に変更可能に構成したことを特徴とする基板処理装置。

【請求項4】 反応室内の被膜形成空間内に複数の被処理基板を立体的に配置して基板処理を行う基板処理装置であって、前記反応室の複数個を並置または直線上に配置するとともに各反応室をそれぞれ対応する仕切り手段により気密室と連結し、前記気密室に少なくとも二つの予備室を連結して構成し、前記予備室間は仕切り手段により互いに連結されており基板支持体を移動可能に構成したことを特徴とする基板処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、複数の基板処理工程を必要とする基板処理を効率的に行う為の装置に関するものである。

【0002】

【従来の技術】 従来より知られた基板上に複数の薄膜を堆積するプラズマCVD装置としては被膜形成用反応室を複数個直列に連結したものや、複数個の反応室を基板搬送可能な気密室に接続した、いわゆるマルチチャンバ—CVD装置が知られている。

【0003】

【発明が解決しようとする課題】 従来のマルチチャンバ—CVD装置を使用した基板処理においては、基板搬送に無駄な動作が数多く見られ、しかも、通常の基板処理工程は処理時間が異なる為に全工程を終了して、処理基板が装置の外にとりだされるまでに必要なタクトタイムは工程中の処理時間の最も長い工程により制限をされるという問題があった。

【0004】 特に半導体処理装置の殆どは、枚葉式として基板を扱い（すなわち、基板を1枚単位で扱う）処理を行うため、この工程中の処理時間の長短によるタクトタイムの制限を受け、処理工程時間を短縮する以外に装置の処理量を増す手段が見当たらなかった。

【0005】

【課題を解決するための手段】 本発明は前述のような問題を解決するもので、陽光柱型のプラズマCVD装置のように反応室内の一对の電極により形成される放電空間中に複数の被処理基板を配置して、被膜形成を行うCVD装置であって、反応室内で基板を前述のような位置に配置する為の支持体に被処理基板をロードする為の予備室までの基板の扱いを枚葉式とし、それ以後の基板の扱いをバッチ式として基板処理を行い、その後基板を装置外に取り出す際には次工程の基板の取扱に合わせて、カセット式あるいは枚葉式またはこのCVD装置の基板支持体で行うことが可能な構成を有しているものであります。

【0006】 すなわち、本発明により複数の基板処理工程中の基板処理工程は処理時間が異なっても処理基板が装置の外にとりだされるまでに必要なタクトタイムは処理に必要であった総合計の時間を1バッチとして扱う基板の枚数で割っただけでよく、全体として基板の処理量が増す。例えば、A、B、Cの3工程があり、Aの工程に必要な処理時間は5分、Bの工程に必要な処理時間は50分、Cの工程に必要な処理時間は5分とするとABC全体での処理時間は60分で、基板を枚葉式に取り扱った場合はAの工程が終了しても、B工程に前の基板が存在するため、45分間は基板の搬送が停止し、連続的に基板処理を行えない。その為、10枚の基板を処理する為に必要な総処理時間は510分必要となる。

【0007】 一方、本発明のように基板処理工程部分で基板の扱いをバッチ式とした場合、一度に10枚の基板を基板支持体にロードして、基板処理を行えば、10枚の基板処理に必要な総処理時間は60分ですむ、たとえ基板のロード枚数が5枚であったとしても総処理時間は120分でもよく、一枚あたりの処理時間は大幅に短縮される、また、陽光中内での被膜形成の為に放電空間が増し、膜形成時間が2倍程度に必要になったとしても、総処理時間は240分でもよく、十分な処理能力が得られる。

【0008】 本発明でいう、陽光中内での被膜形成と

は、図2に示すように、反応室20内に設けられた一対の電極21、22によって構成される放電空間内に複数枚の基板1を配置して、膜形成を行うことを意味し、従来より知られた、一対の電極のうちの一方の基板上に基板を設けて、膜形成を行うものとは異なり、一対の電極間に発生するプラズマを空間的に積極的に利用したものである。また、CVD装置に限らず、処理空間内の基板の配置を立体的に行い、複数の基板を同時に処理することも本発明の基板処理の範疇に含まれる。

【0009】このような装置は、従来の半導体製造装置の思想とは異なっている為に、実際の製造ライン中で、バッチ式の基板の取扱いをこのCVD装置部分のみで行うことは困難であったために、採用されなかった。その為本発明では、複数の反応室間で基板および基板支持体を搬送する為に設ける気密室とその気密室に連結して基板の取扱いを変更する為の予備室を設けることにより、その他の製造ラインとの整合性を向上させたものであります。

【0010】すなわち、この予備室においては前工程の製造装置から流れてきた基板一枚一枚をこの予備室にて、本装置で使用する基板支持体にセットして、支持体が一杯となった時に、この予備室と気密室の間の圧力差をなくして、基板支持体を気密室にロードして、被膜形成処理を開始するものであります。

【0011】また、本発明の別なる発明としては、基板処理のための反応室に連結して設けられる気密室において、基板支持体を移動させる移動路を複数とおり設け、基板支持体の順序を任意に変更可能として、各反応室での基板処理時間の違いを吸収することができるものであります。

【0012】また、この予備室あるいは気密室はCVD装置の処理能力を越えた基板支持体量（基板量）を一時的に保持できる容量とすることで、前工程の基板処理能力に合わせて、基板がセットされた基板支持体を一時的に保持して、前後の処理装置の処理時間の緩衝の役目を兼ねることも可能である。

【0013】

【実施例】「実施例1」 本実施例においては、本発明をプラズマCVD装置に応用した例を示す。図1には基板反応室とその反応室に連結された気密室、および気密室に連結された予備室の接続の様子を示す概略図である。図では概略を示すため、実際の処理に必要な部品の殆どは記載されておらず、反応室と気密室と予備室の関係がわかるように示されている。また、各反応室内は図2に示すような構成をとっており、一度の処理で、10枚の基板を処理できる。

【0014】今、三つの反応室5、6、7を一つの気密室3にゲート弁8、9、10を介して連結している。一方この気密室3の反対側に予備室2、4がゲート弁11、12を介して連結されている。これらの各室は全

て、高真空排気が可能なように、各々の室は完全に独立して排気手段が設けられており、且つその排気系も、高真空排気系と通常の真空排気系の2系統が設けられている。

【0015】また、気密室3はその他の室に比較して、容量が大きいので、同じ排気系を2箇所以上に設置し、その他の室との排気時間を合わせるようにして、気密室と反応室および気密室と予備室間の圧力をほぼ同じ時間で同じように到達できるようにした。

【0016】この排気系として、ターボ分子ポンプとロータリーポンプまたは水封ポンプあるいはドライポンプを直列に連結したものを通常の排気系、前述の構成にクライオポンプやイオンゲッタポンプを設けたものを高真空排気系とした。

【0017】このような装置を用いて、PIN型のa-Si太陽電池を作製する例を示す。この装置はPIN型の薄膜半導体層を形成するものであるため、その前工程としては、透明電極が形成されたガラス基板の前処理、すなわち、基板洗浄工程が通常考えられる。この基板洗浄工程を終了した基板一枚が、予備室2に搬送され、この予備室内で、基板支持体にセットされる。いま10枚/バッチとすると、予備室では、10枚の基板到着を待ち、10枚セットした後に予備室2内の真空排気を行い、気密室3とほぼ同じ圧力になった時にゲート弁11を開けて基板支持体を気密室3内に移動する。気密室3では基板加熱ヒータによる基板のプレヒートを行うとともに更に高真空排気を行い、 1×10^{-7} Torrまで排気して、反応に不要な物質を除去する。この後、基板をゲート弁8を通じて同じ程度に真空排気された反応室5に移動させて、反応室5内でP型の半導体層を300Åの厚さに形成する。その時の反応条件は基板加熱温度250℃、RF出力50W、SiH₄ 50SCCM、B₂H₆ (1%) 2SCCM、反応圧力は0.05 Torrであった。

【0018】次に反応室5での処理が終わった基板は高真空排気後、再びゲート弁8をとおして気密室に戻り次の処理室6へ前述の如くにして移動し、I型の半導体層を形成する。この時、予備室ではさらに次の基板を支持体にセットしており、10枚がたまと前述のように気密室3へ基板支持体を移動させる。このI型の半導体層の反応条件は基板加熱温度250℃、RF出力80W、SiH₄ 50SCCM、反応圧力0.05 Torrであった。

【0019】次に反応室6での処理が終わった基板は高真空排気後、再びゲート弁9をとおして気密室に戻り次の処理室7へ前述の如くにして移動し、N型の半導体層を形成する。このI型の半導体層の反応条件は基板加熱温度250℃、RF出力100W、SiH₄ 50SCCM、H₂ 100SCCM、PH₃ (2%) 2SCCM、反応圧力0.1 Torrであった。

【0020】次に反応室7での処理が終わった基板は高真空排気後、再びゲート弁10をとおして気密室3に戻り、ゲート弁12を通して予備室4に戻され一連の処理を終了する。また、予備室4からは次工程の半導体処理装置の基板の取扱いに従い、再び枚葉式として基板を取り扱うか、またはそのままパッチ式の取扱いを継続して処理を行う。

【0021】本実施例ではPINの各層を形成する反応室を1つずつ気密室3に連結して設けたが、各反応室を2つずつ設け、例えば一方のP型用反応室で膜形成を行

っている際にもう一方のP型用反応室をクリーニングやメンテナンスしておき、この成膜とメンテナンスを交互に行うことにより、装置をメンテナンスのためにダウンさせずに連続稼働させることも可能である。

【0022】この様にして、枚葉式の思想を中心として、構成された製造ライン中にパッチ式の半導体処理装置を設け、枚葉式のネックであった基板処理のタクトタイムの不揃いによる処理時間の遅れを解決することができた。

【0023】『実施例2』 図3に本実施例に相当する基板処理装置の概略図を示す。図3において、反応室32、33、34にゲート弁35、36、37を介して連結された気密室31はその容量がおよそ反応室の合計の容量の2倍程度あり、その気密室内においては、基板支持体が移動する移動路を複数通りとることができる装置構成となっている。

【0024】これにより、反応室32での処理能力に関係なく、前工程より予備室39に搬送されてくる基板を順次基板支持体にセットして、気密室に移動することが

できる。すなわち、気密室31内では基板支持体を適当に移動させ、処理済の基板支持体と未処理の基板支持体との順序と場所を変更して、任意に各反応室に基板を搬送し、処理できるものであります。また、これにより、気密室での滞留時間がまし、基板加熱を必要とする処理

場合十分なプレヒートができ、基板処理時間を短縮することも可能となった。

【0025】加えて、本実施例では気密室31と連結して設けられている予備室38、39をお互いにゲート弁42にて連結した構成としたので、必要に応じて、気密室31の移動のバイパスとして、このゲート弁40、予備室39、ゲート弁42よ美質38ゲート弁41のルートを使用して、さらに複雑な基板支持体の移動を行うことも可能である。

【0026】

【発明の効果】本発明の構成により、処理工程時間にばらつきがあった場合ももっとも長い処理工程で制限されていた、1枚当りの基板の処理時間を短縮することができた。また、一般に広く採用されている枚葉式の考え方で完成された製造ラインに容易に処理量の大きな基板処理装置を置き換えることが出来た。

【図面の簡単な説明】

【図1】本発明の基板処理装置の概略を示す。

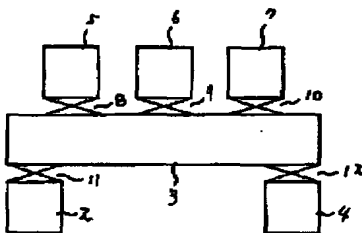
【図2】本発明の基板処理装置の反応室内の概略図を示す。

【図3】本発明の他の基板処理装置の概略を示す。

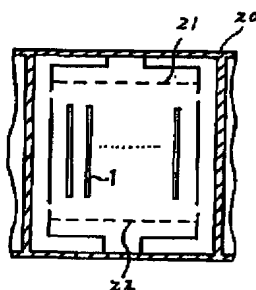
【符号の説明】

- 1・・・基板
- 2・・・予備室
- 3・・・気密室
- 4・・・予備室
- 5・・・反応室
- 6・・・反応室
- 7・・・反応室
- 8・・・ゲート弁
- 9・・・ゲート弁
- 10・・・ゲート弁
- 11・・・ゲート弁
- 12・・・ゲート弁

【図1】



【図2】



【図3】

